

031431 U.S.PTO
10/765203

012804

Japanese Patent Laid-open No. 2002-222944 A

Publication date : August 9, 2002

Applicant : K.K. Kitakyusyu Technology Center

Title : SEMICONDUCTOR DEVICE

5

(57) [ABSTRACT]

[OBJECT] To provide a new semiconductor device capable of accurately modulating electrical characteristics without inhibiting high integration which enables a mechanism circuit for automatically adjusting device parameters by 10 an on-chip and correcting characteristics dispersion to be packaged into every LSI so as to be capable of realizing new active LSIs such as a self-optimizing LSI and a self-adapting LSI for allowing reasonably large dispersion of device characteristics.

[MEANS] A semiconductor device of the present invention is 15 characterized in that a direction (angle) of an electric field with respect to a gate or a channel is controlled so as to adjust a gain coefficient of a transistor. Further, the semiconductor device preferably includes a first gate which forms a rectangular or parallelogrammatic channel area, and second gates which form channel areas substantially including a rectangle between a channel area 20 and a source area and a drain area formed on the first gate, respectively. The entire channel area, which includes the channel area formed by the first gate and the channel areas formed by the second gates on both sides of the first gate, preferably forms a rectangular or a parallelogram shape substantially.

25 [0020]

THIS PAGE BLANK (USPTO)

[MODE FOR CARRYING OUT THE INVENTION]

First Embodiment

A semiconductor device according to the first embodiment of the present invention is explained below with reference to Figs. 1 to 7.

- 5 [Device Configuration] In order to clarify characteristics of a basic configuration of the semiconductor device according to the first embodiment, Fig. 1 illustrates a layout configurational example relating to a basic configurational element of the device. The configurational characteristic of the semiconductor device according to the first embodiment is such that a
10 control gate forming a certain constant angle is additionally provided to a normal MOS gate.
15

[0021] In Fig. 1; G is a normal MOS gate, Gc is a control gate, S is a source area, D is a drain area, chC is a control channel area, C is a contact area which is electrically connected with a metal wiring and is used for drawing out an
15 electrode.

- [0022] The semiconductor device according to the first embodiment is characterized in that the control channel areas chC under the control gate GC substantially form rectangular shapes respectively between the normal MOS gate G and the source S and between the normal MOS gate G and the drain D.
20 The entire channel area including the control channel areas chC under the control gate GC and the channel area under the MOS gate G substantially forms a parallelogram. The control gate GC can be, as shown in Fig. 1, formed by a gate layer different from the MOS gate G so as to be overlapped on the MOS gate G. The control channel areas chC under the control gate
25 GC may be formed so as to have the same characteristics as that of the

THIS PAGE BLANK (USPTO)

channel under the normal MOS gate G. The control channel areas chC may be, alternatively, formed so that impurity concentration thereof is set differently from that in the MOS gate G and channel conductances can be adjusted independently.

- 5 [0023] In order to manufacture the semiconductor device according to the first embodiment, a prior process for forming the MOS transistor excluding added steps of forming the control gate GC and the control channels chC formed thereunder may be used. It is, therefore, not necessary for incorporating the device to greatly change the prior manufacturing steps.
- 10 [0024] The semiconductor device according to the first embodiment has a shape such that the control gate is added to the prior MOS transistor. The semiconductor device is characterized in that one electrode for the control gate is added to the prior MOS transistor electrically and thus totally four electrodes (when a back gate is included, totally five electrodes) are provided. In this
- 15 semiconductor device, as shown in Fig. 2, device shape parameters which define the device characteristics include three values including "a gate length L" and "a gate width W" of the MOS gate G, and "an angle θ" formed by the control gate GC and the MOS gate G.
[0025] [Characteristic Modulation Mechanism] In the semiconductor device
- 20 according to the first embodiment, a resistance (conductance) of the control channels chC under the control gate GC is controlled by a voltage to be applied to the control gate GC, so that a direction of an electric field in a channel direction to be applied to the channel under the MOS gate G is modulated. The effective gate length and gate width are changed so that a
- 25 gain coefficient β of the transistor can be controlled by a voltage.

THIS PAGE BLANK (USPTO)

[0026] A mechanism in which the semiconductor device according to the first embodiment can electrically modulate the gain coefficient β is explained below.

In Fig. 3, arrows represent the directions of the electric fields when the resistance (conductance) of the control channels chC under the control gate

- 5 GC is equivalent to and enough lower than an ON resistance of the MOS gate G (ON resistance of the transistor portion formed by the MOS gate). When the resistance of the control channel chC is enough lower than the ON resistance of the channel under the MOS gate G, as shown by the arrow 1 in Fig. 3, the direction of the electric field becomes approximately vertical to the 10 MOS gate G (parallel with the channel under the MOS gate G). As a result, the substantial gain coefficient β is proportional to W/L. On the contrary, when the resistance of the control channel chC is equivalent to the ON resistance of the MOS gate G, as shown by the arrow 2 in Fig. 3, the direction of the electric field becomes vertical to a boundary line of the source S and the drain D of the 15 control gate GC. As a result, substantially L becomes long, W becomes short, and β becomes small. As shown in Fig. 4, when the resistance of the control channel is equivalent to the ON resistance of the MOS gate, the effective gate length L' and gate width W' can be expressed approximately by the following expressions (1) and (2). β' is proportional to the following expression (3).

20 [0027]

[Formula 1]

$$W' = \cos\theta * (W - L * \tan\theta) \quad (1)$$

$$L' = \cos\theta * (L + W * \tan\theta) \quad (2)$$

$$\beta' \propto (W/L - \tan\theta) / (1 + W/L * \tan\theta) \quad (3)$$

25 [0028] The maximum resistance of the control channel chC is the ON

THIS PAGE BLANK (USPTO)

resistance of the MOS gate G, but when it is set to be larger than that, it is assumed that the gain coefficient β becomes smaller. When, however, the resistance of the control channel chC is set to be larger than the ON resistance of the MOS gate in the device in which the channel conductances of the MOS

5 gate G and the control gate GC are equivalent, a part of the control channel area chC on the drain D side is brought into a saturated state. For this reason, the approximation expressed by the expressions cannot be performed, and thus the approximation cannot be expressed by a simple relational expression. In any cases, it is assumed that when the resistance of the control channel chC

10 becomes large, the gain coefficient β becomes substantially small.

[0029] As is clear from these expressions, in the semiconductor device according to the first embodiment, the resistance of the control gate channel chC is changed by adjusting the voltage to be applied to the control gate CG. As a result, the gain coefficient β can be successively adjusted from W/L up to

15 about $(W/L \tan\theta) / (1 + W / L \cdot \tan\theta)$ (when the maximal resistance of the control channel is equivalent to the ON voltage of MOS). The adjustable range can be set approximately arbitrarily by adjusting the three device shape parameters as explained below.

[0030] [Prediction of Modulation Characteristic] In the semiconductor device

20 according to the embodiment, as explained above, the adjustable range of β is determined by the gate length L and the gate width W of the MOS gate, and the angle θ formed by the MOS gate and the control gate. Fig. 5 illustrates how to set a β ratio (maximal value/minimal value) corresponding to the adjustable range of β in the semiconductor device of the embodiment by

25 means of W/L of the MOS gate as the device shape parameter using the angle

THIS PAGE BLANK (USPTO)

θ as the parameter. Since the above approximation expressions are used, the maximal resistance of the control channel is about the ON resistance of the MOS gate.

[0031] As understood from the graph in Fig. 5, the adjustable range of β in the semiconductor device of the embodiment is superposing of a component which increases proportionally to W/L and a component which increases abruptly when W/L becomes small, and respective terms become larger in proportional to θ . The component proportional to W/L results from modulation of the substantial gate channel length L according to the modulation of the direction of the electric field. Meanwhile, the component which abruptly increases when W/L becomes small results from modulation of the substantial gate channel width W according to the modulation of the direction of the electric field. Further, since the angle θ is proportional to a maximal modulation degree of the direction of the electric field, the angle θ is proportional to the two components. According to these characteristics, it is found that the adjustable range of β can be set with a comparatively high degree of freedom according to an application, an allowed size of the device, and the like.

[0032] [Effect] In the semiconductor device of the first embodiment, the gain coefficient β can be successively modulated by the voltage to be applied to the control gate GC . The control range of β adjustable by the voltage is determined by the three device shape parameters, namely, the gate length L and the gate width W of the MOS gate G , and the angle θ formed by the MOS gate G and the control gate GC . The control range of β can be set comparatively freely to values which is several times and several-hundred times the ratio of the minimal gain coefficient β to the maximal gain coefficient β ,

THIS PAGE BLANK (USPTO)

in the actual device size (only the increase of the area in the control gate).

Further, an electric power consumed by the modulation of β in the semiconductor device of the first embodiment comes only from a leak current from the control gate, it is very small, and thus it does not substantially become

- 5 a problem. The semiconductor device of the first embodiment can, as shown in Fig. 6, realize an n-MOS transistor 3, and a p-MOS transistor 4 in the same configuration. For this reason, like an inverter circuit 5 illustrated in Fig. 7, drivability of various gates in the CMOS circuit can be electrically adjusted, and it is expected that the present invention is applied as a basic device of a future
10 self-adapting LSI.

[FIG. 1] Fig. 1 is a diagram illustrating a configuration of a semiconductor device according to a first embodiment of the present invention.

[FIG. 2] Fig. 2 is a diagram illustrating shape parameters defining

- 15 characteristics of the semiconductor device according to the first embodiment.

[FIG. 3] Fig. 3 is a diagram illustrating electric fields to be applied to an MOS channel of the semiconductor device according to the first embodiment.

[FIG. 4] Fig. 4 is a diagram explaining a characteristic modulation mechanism of the semiconductor device according to the first embodiment.

- 20 [FIG. 5] Fig. 5 is a diagram illustrating a characteristic modulation performance of the semiconductor device according to the first embodiment.

[Description of Signs]

G is a normal MOS gate, GC is a control gate, S is a source area, D is a drain

- 25 area, chC is a control channel area, C is a contact, L is a gate length, W is a

THIS PAGE BLANK (USPTO)

gate width, θ is an angle formed by control gate GC and MOS gate G, 1 is a direction of an electric field in a channel under an MOS gate when resistance of the control channel chC is low, 2 is a direction of the electric field in the channel under MOS gate when the resistance of control channel chC is high, L'

- 5 is an effective gate length when the resistance of the control channel is equivalent to ON resistance of the MOS gate, W' is an effective gate width when the resistance of control channel is equivalent to the ON resistance of MOS gate, 3 is an n-MOS device of the present invention, 4 is a p-MOS device of the present invention, 5 is a CMOS inverter circuit composed of the device of 10 the present invention, 11 is a normal MOS transistor, 12 is an MOS transistor for prior gain coefficient modulation circuit, and 13 is a switch for a prior gain coefficient modulation circuit.

Fig. 5

- 15 Device β modulation characteristics

β ratio

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-222944

(P2002-222944A)

(43)公開日 平成14年8月9日(2002.8.9)

1

(51)Int.Cl.
H 01 L 29/78
21/8234
27/088
H 03 K 19/00

識別記号

F I
H 03 K 19/00
H 01 L 29/78
27/08
29/78

テマコト*(参考)
C 5 F 0 4 8
3 0 1 G 5 F 1 4 0
1 0 2 A 5 J 0 5 6
3 0 1 H

審査請求 未請求 請求項の数8 OL (全8頁)

(21)出願番号 特願2001-18133(P2001-18133)
(22)出願日 平成13年1月26日(2001.1.26)

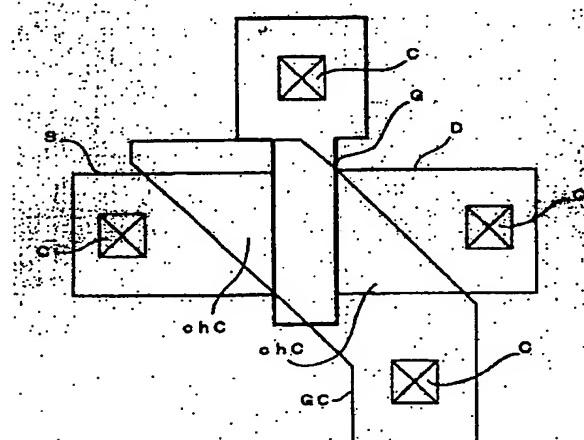
(71)出願人 800000046
株式会社北九州テクノセンター
福岡県北九州市戸畠区中原新町2番1号
(72)発明者 有馬 裕
福岡県飯塚市川津680-4 九州工業大学
マイクロ化総合技術センター内
(74)代理人 100094581
弁理士 鯨田 雅信
Fターム(参考) 5F048 AA00 AA01 AA08 AB10 AC03
BB02 BB03 BC01 BD01 BD06
5F140 AA04 AB01 AC09 AC33 BB01
BF46 BF51
5J056 BB38 BB60 DD13 HH01 HH02
KK02 KK03

(54)【発明の名称】 半導体素子

(57)【要約】

【目的】 高集積化を阻害せず高精度な電気的特性変調を可能にする新しい半導体素子であって、オンチップで素子パラメータを自動調整し特性バラツキを補正する機構回路をあらゆるLSIに実装することを可能にし、ある程度大きな素子特性バラツキを許容する自己最適化LSIや自己適応型LSIなどの全く新しい能動型LSIを実現することができる半導体素子を提供する。

【構成】 本発明による半導体素子は、ゲートあるいはチャネルに対する電界の向き(角度)を制御することによってトランジスターの利得係数を調整することを特徴としている。また、矩形あるいは平行四辺形のチャネル領域を形成する第1のゲートと、第1のゲートで形成されるチャネル領域とソース領域およびドレイン領域の間に各々、実質的に三角形を含むチャネル領域を形成する第2のゲートを備えているのがよい。さらに、第1のゲートで形成されるチャネル領域を含み、その両側にある第2のゲートで形成されるチャネル領域を含んだ全てのチャネル領域が実質的に矩形あるいは平行四辺形を成しているのがよい。



【特許請求の範囲】

【請求項1】 ゲートあるいはチャネルに対する電界の向き又は角度を制御することによってトランジスターの利得係数を調整するようにした、ことを特徴とする半導体素子。

【請求項2】 矩形あるいは平行四辺形の形状を有するチャネル領域を形成する第1のゲートと、第1のゲートで形成されるチャネル領域とソース領域との間、及び、第1のゲートで形成されるチャネル領域とドレイン領域との間に、各々、実質的に三角形の形状又は実質的に三角形を含む台形の形状を有するチャネル領域を形成する第2のゲートと、を備えていることを特徴とする半導体素子。

【請求項3】 請求項2の半導体素子において、第1のゲートで形成されるチャネル領域とその両側にある第2のゲートで形成されるチャネル領域とを含む全てのチャネル領域が、実質的に矩形又は平行四辺形の形状を有している、ことを特徴とする半導体素子。

【請求項4】 請求項2の半導体素子において、第1のゲートで形成されるチャネル領域のコンダクタンスと第2のゲートで形成されるチャネル領域のコンダクタンスとが互いに異なっている、ことを特徴とする半導体素子。

【請求項5】 請求項2の半導体素子において、第1のゲートで形成されるチャネル領域のコンダクタンスと第2のゲートで形成されるチャネル領域のコンダクタンスとが互いに同一である、ことを特徴とする半導体素子。

【請求項6】 請求項2の半導体素子において、第1のゲートと第2のゲートとが各々異なる工程で製造・形成されていることを特徴とする半導体素子。

【請求項7】 請求項2の半導体素子において、第1のゲートと第2のゲートとが同一の工程で製造・形成されていることを特徴とする半導体素子。

【請求項8】 請求項4の半導体素子において、第1のゲートで形成されるチャネル領域のコンダクタンスより第2のゲートで形成されるチャネル領域のコンダクタンスが大きくなっていることを特徴とする半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、MOSトランジスターの利得係数 β をアナログ的に電圧変調可能にした半導体素子に係り、この半導体素子をLSIに組み込むことで、オンチップで素子ごとの特性を調整することを可能にし、LSIの大規模化に伴う内蔵機能回路間の動作タイミングや、素子の微細化に伴い増大する素子特性バラツキを自動補正する機構を実現でき、チップ個々の最適化に基づくLSIの高性能化に貢献することが期待できる半導体素子に関する。すなわち、本発明は、将来の大規模・高集積LSIの新しい高性能化アプローチとして、自己最適化LSIや自己適応型LSIなどの能動型

LSIを実現するための基礎となる半導体素子に関するものである。

【0002】

【従来の技術】 半導体集積回路（LSI）デバイスは、発明以来約30年に渡り、主に素子の微細化によってその性能を確実に進展させてきた。しかし、素子微細化において様々な物理的限界が顕在化してきた昨今では、集積回路素子を安定・均質に製造することが極めて困難になりつつある。もはや、素子の微細化だけに頼ったLSIデバイスの高性能化は限界に近づいており、均質な素子製造を前提とした従来のLSI設計手法についても直面する時期を迎えている。

【0003】 また、最近のLSIデバイスは、素子微細化の進展に伴いますます大規模化・高集積化が進み、システムオンチップ化が現実のものとなって、チップ内部に多種多様な機能回路を多数集積することが不可欠となってきた。そのような大規模LSIデバイスの設計では、集積された多数の機能回路同士を正しく動作させるために、機能回路間の動作タイミングなどを最適化調整することが特に重要である。しかし、LSIに集積する機能の多様化・複雑化に伴って、LSIの製造過程で避けることが出来ないプロセス変動をカバーするための動作マージン確保が、今後の大規模LSIデバイスの更なる高性能化を阻むようになってきた。つまり、今後、LSIデバイスの高性能化を推進する為には、ある程度大きな素子特性バラツキを前提とした新たなLSI設計・製造手段の開拓が不可欠となっている。

【0004】 このように、LSIデバイスの高性能化において、もはや無視することが出来なくなった、チップ内素子特性の空間的バラツキやプロセス変動による素子特性中央値変動というような、製造されるLSIチップ毎に変動する素子不均一性に関する問題は、LSIチップ毎にその集積素子の特性バラツキを自動的に調整・補償してデバイス性能を高める、所謂、自己適応機能もしくは自己最適化機能をLSIチップ自身に備えることで効果的に解決することが可能である。

【0005】 しかし、従来の技術ではそれを実現することが容易でなかった。従来は、自己調整機能をLSIチップ上に実装する手段として、複数のMOSトランジスタを使いその並列接続等を電気的スイッチで切り替える回路的方法で実現することが考えられていた。しかし、回路的に実現する方法はその調整精度と回路規模の点から極めて非効率であった。

【0006】 MOSトランジスターの実質的な利得係数を、複数のMOSトランジスターを使って電気的に変調できる回路構成例を図12～図15に示す。図12には2つのMOSトランジスター11、12を並列に接続した回路構成例を示す。トランジスター11のゲート電極には通常の信号電圧が与えられており、トランジスター12のゲート電極はスイッチ13に依って信号電圧か〇

FF電圧(MOSトランジスターがOFF状態になる電圧)が与えられる構成となっている。スイッチ13は通常、CMOSスイッチ(p-MOSとn-MOSの並列接続)とそのゲート信号を作るインバータ1個とスイッチの状態を保持する為のラッチ回路で構成され、合計24個程度のトランジスターが必要である。スイッチ13がトランジスター12のゲート電極を信号電圧に接続した状態では、この回路は、トランジスター11と12が並列に接続されたMOSトランジスターとして働き、スイッチ13がトランジスター12のゲート電極をOFF電圧に接続した状態では、この回路は、トランジスター11のみが働く。

【0007】図13には、5つのトランジスターを並列に接続した回路構成例を示す。4つのスイッチ13の状態に依って、16通りのバリエーションを実現することができる。4つのトランジスター12の利得係数を各々2のべき乗倍に設定することによって、16段階の係数値を等間隔にすることができます。

【0008】図14には2つのMOSトランジスターを直列に接続した回路構成例を示す。この例では、スイッチ13によってトランジスター12のゲート電極を信号電圧かON電圧(MOSトランジスターがON状態になる電圧)に接続する構成になっている。この場合では、スイッチ13がトランジスター12のゲート電極を信号電圧に接続した状態では、この回路は、トランジスター11と12が直列に接続されたMOSトランジスターとして働き、スイッチ13がトランジスター12のゲート電極をON電圧に接続した状態では、トランジスター12にトランジスター12のON抵抗が直列に接続された回路として働く。

【0009】図15では、トランジスター12のゲート電極に制御電圧を与え、その制御電圧値によってトランジスター11に直列接続された抵抗値を調整する構成例を示している。

【0010】図12、13で示した並列接続による回路構成例では、特性調整できる精度と回路規模がトレードオフの関係となり、調整精度を高める為には回路規模が大きくなるという問題がある。また、図14、15で示した直列接続による回路構成例では、回路規模が大きくなる問題に加え、入力信号に対して非線形な特性を示す抵抗成分が直列に介在していることにより、実効的な特性調整範囲が制限される問題がある。このような回路構成によるトランジスターの電気的特性変調方式は、調整すべき素子数の数倍から数十倍もの素子数を費やす必要があるという本質的な制約があることから、高集積化を推進しそのLSIの高性能化を目的とする自己調整機能実装には馴染み難い。そこで、高集積化を阻害しないで高精度な電気的特性変調を可能にするような新しい半導体素子の開発が望まれている。

【0011】

【発明が解決しようとする課題】本発明はこのような従来技術の問題点に着目してなされたものであって、高集積化を阻害しないで高精度な電気的特性変調を可能にするような新しい半導体素子であって、オンチップで素子パラメータを自動調整し特性バラツキを補正する機構回路をあらゆるLSIに実装することを可能にし、ある程度大きな素子特性バラツキを許容する自己最適化LSIや自己適応型LSIなどの全く新しい能動型LSIを実現することができる半導体素子を提供することを目的とする。

【0012】

【課題を解決するための手段】このような従来技術の課題を解決するための本発明による半導体素子は、ゲートあるいはチャネルに対する電界の向き(角度)を制御することによってトランジスターの利得係数を調整することを特徴とするものである。

【0013】また、本発明の半導体素子は、矩形あるいは平行四辺形のチャネル領域を形成する第1のゲートと、第1のゲートで形成されるチャネル領域とソース領域との間、及び、第1のゲートで形成されるチャネル領域とドレイン領域との間に、各々、実質的に三角形の形状の又は実質的に三角形を含む台形の形状のチャネル領域(略三角形状のチャネル領域又は略台形状のチャネル領域)を形成する第2のゲートと、を備えていることを特徴とするものである。

【0014】また、本発明の半導体素子は、第1のゲートで形成されるチャネル領域と、その両側にある第2のゲートで形成されるチャネル領域とを含む全てのチャネル領域が、実質的に矩形あるいは平行四辺形を成していることを特徴とするものである。

【0015】また、本発明の半導体素子は、前記第1のゲートで形成されるチャネル領域のコンダクタンスと、前記第2のゲートで形成されるチャネル領域のコンダクタンスとが、各々互いに異なっていることを特徴とするものである。

【0016】また、本発明の半導体素子は、前記第1のゲートで形成されるチャネル領域のコンダクタンスと、前記第2のゲートで形成されるチャネル領域のコンダクタンスとが、互いに同一であることを特徴とするものである。

【0017】また、本発明の半導体素子は、前記第1のゲートと前記第2のゲートとが、各々互いに異なる工程で製造・形成されていることを特徴とするものである。

【0018】また、本発明の半導体素子は、前記第1のゲートと前記第2のゲートとが、互いに同一の工程で製造・形成されていることを特徴とするものである。

【0019】また、本発明の半導体素子は、前記第1のゲートで形成されるチャネル領域のコンダクタンスより前記第2のゲートで形成されるチャネル領域のコンダクタンスが大きくなっていることを特徴とするものである。

【0020】

【発明の実施の形態】実施形態1. 以下、この発明の実施形態1による半導体素子を図1～7を参照して説明する。

【素子構造】まず本実施形態1の半導体素子における基本構造の特徴を明確にするために、図1に、素子の基本構成要素に関するレイアウト構成例を示す。本実施形態1の半導体素子の構造上の特徴は、通常のMOSゲートに対して、ある一定の角度をなす制御ゲートを追加設置しているところにある。

【0021】図1において、Gは通常のMOSゲート、GCは制御ゲート、Sはソース領域、Dはドレイン領域、chCは制御チャネル領域、Cは電極引き出しの為に金属配線と電気的に接続するコンタクト領域を各々示している。

【0022】本実施形態1の半導体素子は、通常のMOSゲートGとソースSもしくはドレインD間に各々、制御ゲートGC下の制御チャネル領域chCが実質上三角形を成し、前記制御ゲートGC下の制御チャネル領域chCとMOSゲートG下チャネル領域とを含むそれらの全チャネル領域は実質的に平行四辺形を形成していることを特徴としている。制御ゲートGCは図1内に示すようにMOSゲートGとは別のゲート層を用いて、MOSゲートGの上に重ねる様に形成することが可能である。また、制御ゲートGC下の制御チャネル部分chCは通常のMOSゲートG下のチャネルと同一特性で形成しても良いし、不純物濃度をMOSゲートG下と変えて、チャネルコンダクタンスを独立に調整できるようにしてもよい。

【0023】本実施形態1の半導体素子を製造するには、新たに追加された制御ゲートGCとその下に形成される制御チャネルchCを形成する工程以外、従来のMOSトランジスターを形成するプロセス工程と全く同様でよく、この素子を組込む為に従来の製造工程を大幅に変更する必要はない。

【0024】このように本実施形態1の半導体素子は、従来のMOSトランジスターに制御ゲートが追加された形状をしており、電気的には従来のMOSトランジスターに制御ゲート用電極が一つ追加されて、合計4つの電極（バックゲートを含めると合計5つ）を持つ特徴をしている。またこの半導体素子では、図2に示すように、MOSゲートGの“ゲート長L”及び“ゲート幅W”と、制御ゲートGCとMOSゲートGとの“なす角度θ”的、3つの値をもって、素子特性を規定する素子形状パラメータとしている。

【0025】【特性変調メカニズム】本実施形態1の半導体素子は、制御ゲートGCに与える電圧値によって、制御ゲートGC下の制御チャネルchCの抵抗値（コンダクタンス）を制御することで、MOSゲートG下のチャネルにかかるチャネル方向の電界の向きを変調し、実

効的なゲート長及びゲート幅を変えることでトランジスターの利得係数βの電圧制御を可能にしている。

【0026】次に、本実施形態1の半導体素子が利得係数βを電気的に変調できるメカニズムについて説明する。図3内には、制御ゲートGC下の制御チャネルchCの抵抗値（コンダクタンス）が、MOSゲートGのオン抵抗値（MOSゲートGで形成されるトランジスター部のON抵抗値）と同程度の場合と、十分に低い場合との電界の向きを矢印で示している。制御チャネルchCがMOSゲートG下チャネルのオン抵抗値に比べ十分に低い場合は、図3の矢印1に示すように、電界の向きは、MOSゲートGにほぼ垂直（MOSゲートG下チャネルの向きに平行）となり、実質的な利得係数βはW/Lに比例する。それに対して、制御チャネルchCがMOSゲートGのオン抵抗値と同程度の場合は、図3の矢印2に示すように、電界の向きは、制御ゲートGCのソースS・ドレインD境界線に垂直な向きとなり、実質的にLは長く、Wは短くなり、βは小さくなる。図4内に示すように、制御チャネル抵抗がMOSゲートのオン抵抗と同程度の場合には、実効的なゲート長L'’とゲート幅W'’は近似的に次式(1) (2)で表すことができ、β'’は次式(3)に比例する。

【0027】

【数1】

$$W' = \cos \theta \cdot (W - L \cdot \tan \theta) \quad (1)$$

$$L' = \cos \theta \cdot (L + W \cdot \tan \theta) \quad (2)$$

$$\beta' \propto (W/L \cdot \tan \theta) / (1 + W/L \cdot \tan \theta) \quad (3)$$

【0028】ここでは制御チャネルchCの最大抵抗値をMOSゲートGのオン抵抗値としたが、それより大きくなった場合には、利得係数βは更に小さくなると予想される。ただし、MOSゲートGと制御ゲートGCのチャネルコンダクタンスが同等のデバイスで制御チャネルchCをMOSゲートGのオン抵抗値より大きとした場合には、ドレインD側の一部の制御チャネル領域chCが飽和状態になり、上式で示すような近似が出来なくなり、単純な関係式では表現することができなくなる。しかし何れにしても、利得係数βは、制御チャネルchCの抵抗値が大きくなると、実質的に小さくなると予想される。

【0029】これらの式で分かるように本実施形態1の半導体素子は、制御ゲートGCに与える電圧を調整して制御ゲートチャネルchCの抵抗値を変えることによって、利得係数βをW/Lから(W/L - tan θ) / (1 + W/L * tan θ)程度（制御チャネル抵抗を最大でMOSのオン電圧と同程度とした場合）まで連続的に調整する事が可能である。しかもその調整可能範囲は3つの素子形状パラメータ値の調整によって、次に説明するように、ほぼ任意に設定することが可能である。

【0030】【変調特性予測】本実施形態の半導体素子

では、前に述べた通り、MOSゲートのゲート長L及びゲート幅Wと、MOSゲートと制御ゲートとのなす角度θによってβの調整可能範囲が決まる。そこで図5に、本実施形態の半導体素子のβ調整可能範囲に対応するβ比（最大値／最小値）が、素子形状パラメータであるMOSゲートのW/Lでどのように設定できるのかを角度θをパラメータとして示した。ただしこれでも、前出の近似式を用いるために、制御チャネルの最大抵抗値をMOSゲートのオン抵抗値程度としている。

【0031】図5のグラフで分かるように、本実施形態の半導体素子のβ調整可能範囲は、W/Lに比例して増大する成分とW/Lが小さくなると急激に増大する成分との重ね合わせであり、各々の項はθに比例して大きくなる特徴をもっている。W/Lに比例する成分は、電界の向きの変調に伴う実質的ゲートチャネル長Lの変調に起因しており、一方、W/Lが小さくなると急激に増大する成分は電界の向きの変調に伴う実質的ゲートチャネル幅Wの変調に起因している。また、角度θは電界方向の最大変調の大きさに比例するので、二つの成分各々に比例することになる。これらの特徴から、用途や許されるデバイスサイズ等に応じて比較的自由度の高いβ調整範囲設定が可能であることが分かる。

【0032】【効果】以上のように、本実施形態1の半導体素子は、その利得係数βを、制御ゲートGCに与える電圧で連続的に変調することができ、電圧で調整できるβの制御範囲は、3つの素子形状パラメータ、即ち、MOSゲートGのゲート長L及びゲート幅Wと、MOS*

* ゲートGと制御ゲートGCのなす角度θで決まり、現実的なデバイスサイズ（制御ゲート分の面積増加のみ）で、最小のβと最大のβの比を数倍から数百倍を超える値まで比較的自由に設定することが可能である。また、本実施形態1の半導体素子におけるβ変調の為に消費される電力は、制御ゲートのリーク電流によるものだけなので極めて小さく、実用上問題にならない程度である。さらに、本実施形態1の半導体素子は、図6で示すように、n-MOSトランジスター3、p-MOSトランジスター4、共に同様の構成で実現することができるので、図7内に例示するインバータ回路5のように、CMOS回路による各種ゲートのドライバビリティを電気的に調整することを可能し、将来の自己適応型LSIの基本素子としてその応用が期待される。

【0033】実施形態2、図8に本発明の実施形態2を示す。この実施形態2では、実施形態1と比べ、制御ゲートGCの下に形成される制御チャネルchCの形状が少々異なる。この例では各制御チャネルchCの形状が実質的に台形となっている。しかし、その形状が台形であっても、前記各制御チャネルchCとMOSゲートG下チャネル領域とも含むそれらの全チャネル領域が実質的に平行四辺形を形成していれば、同様の素子特性を実現することができる。ただし、前述した近似式(1)～(3)に若干の修正が必要となり、各々次の(4)～(6)のようになり、β'は次式に比例する。

【0034】

【数2】

$$W = \cos \theta \cdot (W - (L + a + b) * \tan \theta) \quad (4)$$

$$L' = \cos \theta \cdot (L + a + b + W * \tan \theta) \quad (5)$$

$$\beta' \propto (W/L - (1 + a/L + b/L) * \tan \theta) / (1 + a/L + b/L + W/L * \tan \theta) \quad (6)$$

【0035】但し、上記式内のaおよびbは、図8内に示した各制御チャネル内の矩形部分のチャネル方向に沿った長さである。この実施形態では、制御チャネル領域の形状が必ずしも三角形に限定されないことを示している。

【0036】実施形態3、図9に本発明の実施形態3を示す。この実施形態3では、実施形態1と比べ、制御ゲートGCがMOSゲートGと同一のゲート層で形成した場合を示している。制御ゲートGCとMOSゲートGとを同一のゲート層で形成する場合は、電気的に分離する為に、重ねることが出来ず、図9で示すように、制御ゲートGCとMOSゲートGとの間にある程度（分離加工できる程度）の隙間をあける必要がある。その場合でも、その制御ゲートGCとMOSゲートG間の隙間はソース・ドレインと同一工程で形成されるので、その抵抗値は極めて低く、この素子構成でも電気的には実施形態1と変わらない特性を示す。利得係数βの変調近似式は、制御ゲートGCとMOSゲートG間の隙間をa、b

とすれば上記式(4)～(6)が当てはまる。この実施形態3では、制御ゲートGCを形成するのにあえて別のゲート層形成工程を追加する必要が無いことを示している。

【0037】実施形態4、図10に本発明の実施形態4を示す。この実施形態4では、実施形態1と比べ、制御ゲートGCとMOSゲートGに関して別のレイアウト例を示している。図1で示した実施形態1との違いは、トランジスタの活性領域に対して垂直なゲートがMOSゲートGか制御ゲートGCかの違いだけで、実質的な効果は同様である。この実施形態4からは、本発明の半導体素子の特徴が、制御ゲートGCとMOSゲートGとの成す相対的角度だけに意味があって、各々のソース・ドレン等に対する角度には限定されないことが示されている。

【0038】実施形態5、図11に本発明の実施形態5を示す。この実施形態5では、制御ゲートGCとMOSゲートGとのなす角度θを大きくしたままでMOSゲ

ト幅Wを十分大きくしたい場合の実施形態を示している。つまり、実施形態4で示した素子を連続して並列に並べた構成になっており、MOSゲートGは斜の折り返し（ギザギザ）になっている。この実施形態5は、本発明の半導体素子において利得係数 β を大きくする場合に、素子のサイズを抑えるのに有効である。

【0039】

【発明の効果】以上のように、本発明によれば、MOSトランジスターの利得係数 β をアナログ的に電圧変調できる半導体素子を、従来のプロセス技術で容易に製造することができ、CMOS回路で構成される従来のあらゆるLSIに組み込むことができる結果、オンチップで素子パラメータを自動調整し特性バラツキを補正する機器回路をあらゆるLSIに実装することが可能になり、ある程度大きな素子特性バラツキを許容する自己最適化LSIや自己適応型LSIなどの全く新しい能動型LSIを実現できるようになる。このように、本発明によれば、従来より大規模LSIの高性能化を阻止する要因となっていた、素子微細化に伴う特性バラツキやプロセス変動に伴う素子特性変動などの特性不均一性に起因する制限を、大幅に緩和できる効果がある。

【図面の簡単な説明】

【図1】本発明の実施形態1の半導体素子の構成を示す図。

【図2】本実施形態1の半導体素子の特性を規定する形状パラメータを示す図。

【図3】本実施形態1の半導体素子のMOSチャネルにかかる電界を示す図。

【図4】本実施形態1の半導体素子の特性変調メカニズムを説明する図。

* 【図5】本実施形態1の半導体素子の特性変調性能を示す図。

【図6】本実施形態1の半導体素子によるCMOS回路構成例を示す図。

【図7】本実施形態1の半導体素子によるCMOS回路構成例を示す図。

【図8】本発明の実施形態2を説明するための図。

【図9】本発明の実施形態3を説明するための図。

【図10】本発明の実施形態4を説明するための図。

【図11】本発明の実施形態5を説明するための図。

【図12】従来の半導体素子を説明するための図。

【図13】従来の半導体素子を説明するための図。

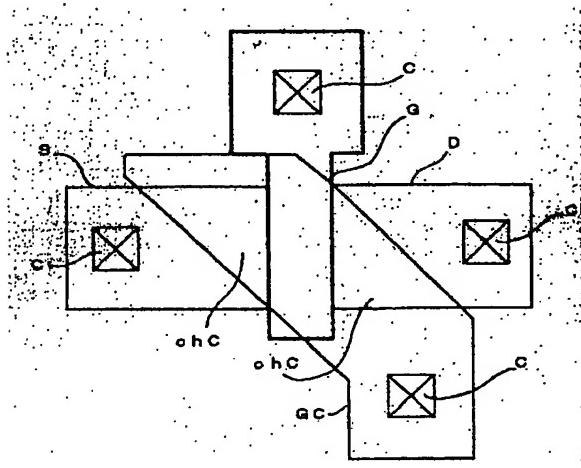
【図14】従来の半導体素子を説明するための図。

【図15】従来の半導体素子を説明するための図。

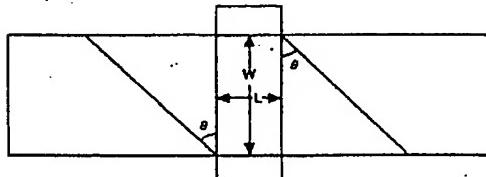
【符号の説明】

Gは通常のMOSゲート、GCは制御ゲート、Sはソース領域、Dはドレイン領域、chCは制御チャネル領域、Cはコンタクト、Lはゲート長、Wはゲート幅、θは制御ゲートGCとMOSゲートGとのなす角度、1は制御チャネルchCの抵抗値が低い場合のMOSゲート下チャネル内の電界の向き、2は制御チャネルchCの抵抗値が高い場合のMOSゲート下チャネル内の電界の向き、L'は制御チャネル抵抗がMOSゲートのオン抵抗と同程度の場合の実効的なゲート長、W'は制御チャネル抵抗がMOSゲートのオン抵抗と同程度の場合の実効的なゲート幅、3は発明のn-MOS素子、4は発明のp-MOS素子、5は発明の素子で構成するCMOSインバータ回路、11は通常のMOSトランジスター、12は従来の利得係数変調回路用MOSトランジスター、13は従来の利得係数変調回路用スイッチ。

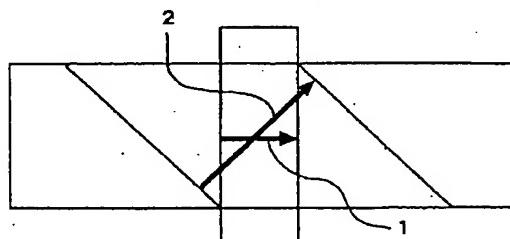
【図1】



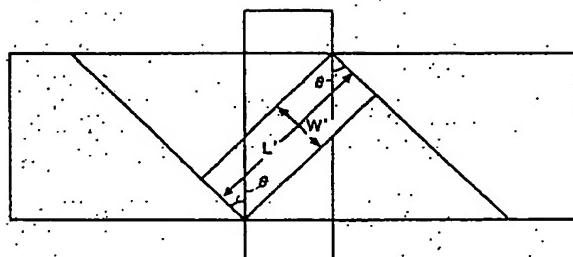
【図2】



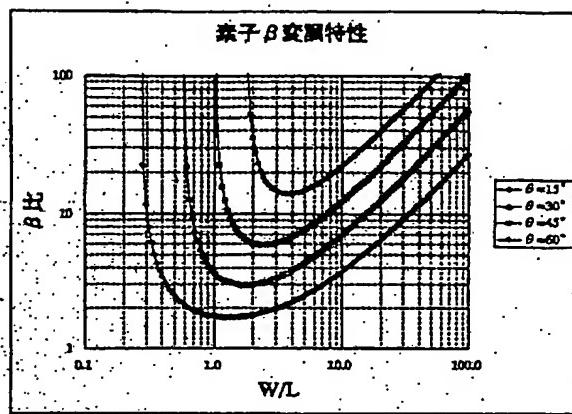
【図3】



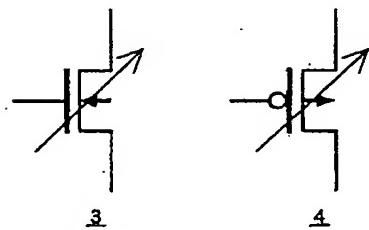
【図4】



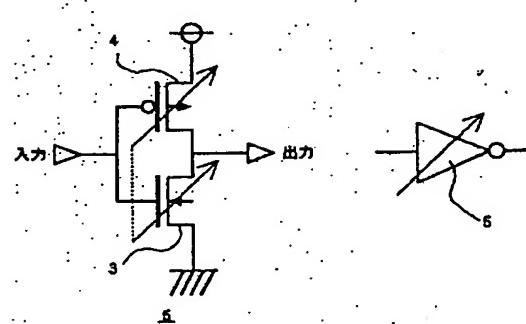
【図5】



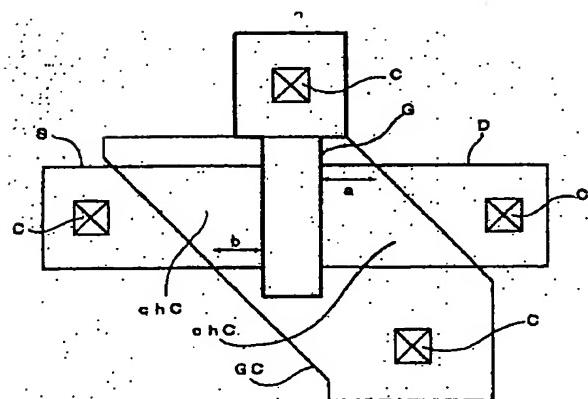
【図6】



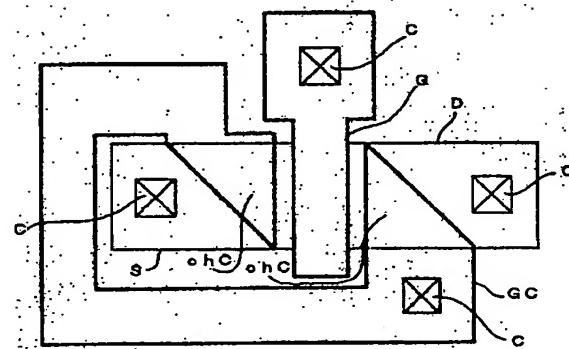
【図7】



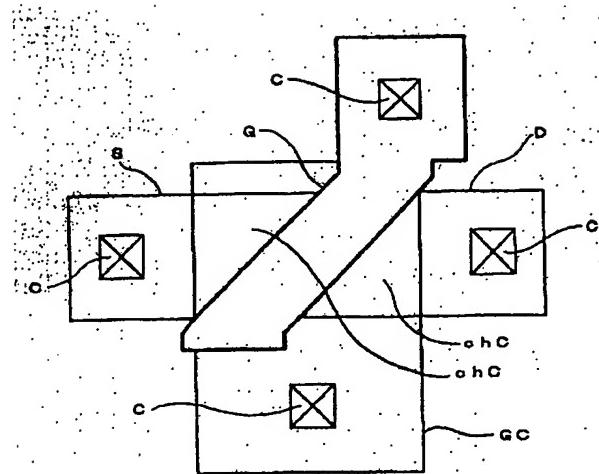
【図8】



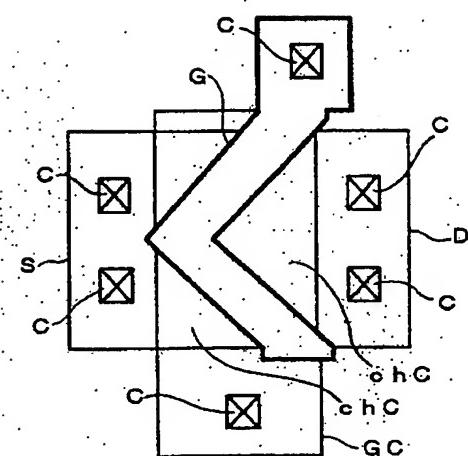
【図9】



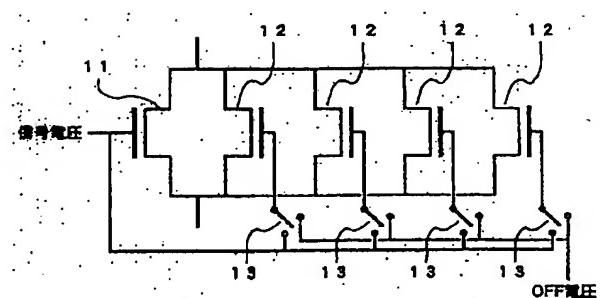
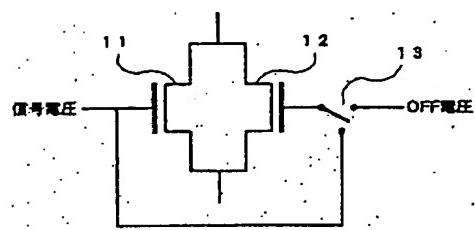
【図10】



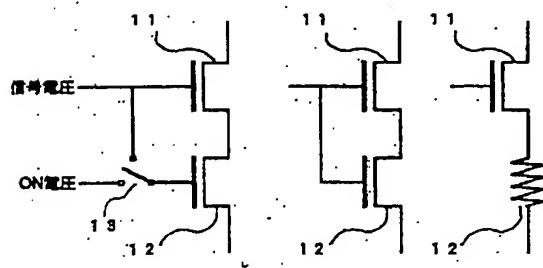
【図11】



【図12】



【図14】



【図15】

